

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-177007
 (43)Date of publication of application : 02.07.1999

(51)Int.Cl. H01L 23/48
 H01L 21/60

(21)Application number : 09-344648
 (22)Date of filing : 15.12.1997

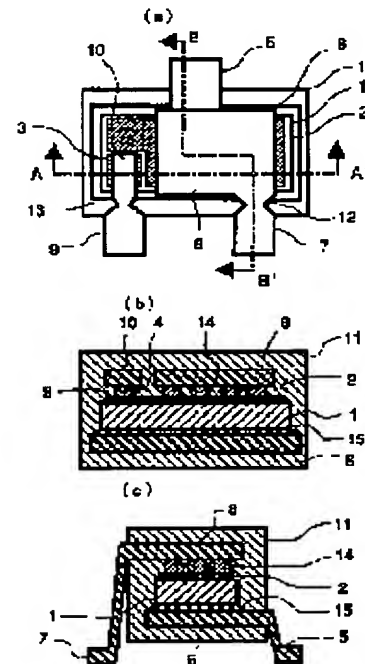
(71)Applicant : HITACHI LTD
 (72)Inventor : KAJIWARA RYOICHI
 KOIZUMI MASAHIRO
 MORITA TOSHIAKI
 TAKAHASHI KAZUYA

(54) TRANSISTOR PACKAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce electric resistance among electrodes and a lead terminal, and to reduce the power loss by directly joining sections among the base electrode and the emitter electrode and the lead terminal through Au bumps.

SOLUTION: A transistor chip 1 is connected to a die pad 6 as a part of a collector lead 5 by solder 15 and mounted. Au ball bumps 14, 4 are formed to an emitter electrode 2 and a base electrode 4 on top of the chip. An emitter lead 8 is joined on the Au ball bump 14 on the emitter electrode, and a base lead 10 is connected onto the Au ball bump 4 on the base electrode. Necks 12 13 are formed at the sections molded with a resin 11 in the emitter lead and the base lead. Metallic films are shaped partially onto the bonding surfaces the leads, with which the Au bumps are conjoined, by plating. Accordingly, electric resistance following mounting can be reduced, and the power loss of the package in conduction can be reduced largely.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177007

(43) 公開日 平成11年(1999) 7月2日

(51) Int. Cl. ⁶
H01L 23/48

識別記号

F I

H01L 23/48

S

M

21/60

311

21/60

311

Q

審査請求 未請求 請求項の数7 O L (全11頁)

(21) 出願番号 特願平9-344648

(22) 出願日 平成9年(1997)12月15日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 梶原 良一

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 小泉 正博

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 守田 俊章

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

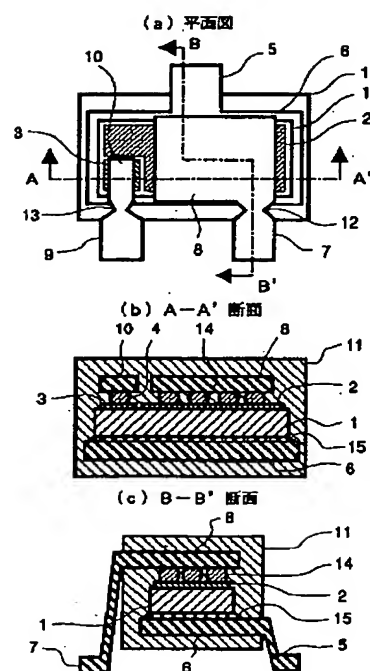
(54) 【発明の名称】 トランジスタパッケージ

(57) 【要約】

【課題】 パッケージの実装抵抗を1mΩ以下に小さくし、かつ長期信頼性を高くした低コストのトランジスタパッケージを提供する。

【解決手段】 ベース及びエミッタ電極に複数のAuバンブを形成したトランジスタチップの上下に、部分貴金属めっきを施したリードフレームを配置し、貴金属膜を最表面に形成したコレクタ電極とコレクタリードを半田を介するかあるいは直接加圧加熱接合し、Auバンブとベース及びエミッタリードを直接に超音波併用加熱圧着し、各リードの外部接続用先端部を除いて全体を樹脂モールドした構造のトランジスタパッケージ。

図 1



【特許請求の範囲】

【請求項1】 ベース（ゲート）電極とエミッタ（ソース）電極とコレクタ（ドレイン）電極が形成されたトランジスタチップと、外部と電氣的信号をやり取りするリード端子と、チップとリード端子の一部を覆う封止樹脂から構成されるトランジスタパッケージにおいて、コレクタ電極と第1のリードが半田，Au，Ag，Pd，Ptのいずれかの金属を介して接合され、ゲート電極と第2のリードがAuバンプを介して接合され、エミッタ電極と第3のリードがAuバンプを介して接合された構造であることを特徴とするトランジスタパッケージ。

【請求項2】 ベース（ゲート）電極とエミッタ（ソース）電極とコレクタ（ドレイン）電極が形成されたトランジスタチップと、外部と電氣的信号をやり取りするリード端子と、チップとリード端子の一部を覆う封止樹脂から構成されるトランジスタパッケージにおいて、チップ裏面に形成されたコレクタ電極と第1のリードが半田，Au，Ag，Pd，Ptのいずれかの金属を介して接合され、ゲート電極と第2のリードが1個のAuバンプを介して接合され、エミッタ電極と第3のリードが複数のAuバンプを介して接合された構造であることを特徴とするトランジスタパッケージ。

【請求項3】 請求項2において、ゲート電極であるAlパッド上に形成されるAuバンプの位置が、各バンプ間の垂直2等分線とパッドの外周端で囲まれる領域の面積の比率が最大で2倍以下となるような位置に配置されていることを特徴とするトランジスタパッケージ。

【請求項4】 請求項3において、Auバンプの大きさが各バンプ間の垂直2等分線とパッドの外周端で囲まれる領域の面積の1/4以上の大きさを有することを特徴とするトランジスタパッケージ。

【請求項5】 ベース（ゲート）電極とエミッタ（ソース）電極とコレクタ（ドレイン）電極が形成されたトランジスタチップと、外部と電氣的信号をやり取りするリード端子と、チップとリードフレームの一部を覆う封止樹脂から構成される表面実装タイプのトランジスタパッケージにおいて、チップ裏面に形成されたコレクタ電極と第1のリードが半田，Au，Ag，Pd，Ptのいずれかの金属を介して接合され、ゲート電極と第2のリードが1個のAuバンプを介して接合され、エミッタ電極と第3のリードが複数のAuバンプを介して接合され、ベース電極とエミッタ電極に接続された2本のリード端子がパッケージの一边から導出され、コレクタ電極に接続されたリード端子が前述の辺と反対の位置にある辺から導出された構造を特徴とするフラット形状のトランジスタパッケージ。

【請求項6】 ベース（ゲート）電極とエミッタ（ソース）電極とコレクタ（ドレイン）電極が形成されたトランジスタチップと、外部と電氣的信号をやり取りするリード端子と、チップとリードフレームの一部を覆う封止

樹脂から構成される表面実装タイプのトランジスタパッケージにおいて、チップ裏面に形成されたコレクタ電極と第1のリードが半田，Au，Ag，Pd，Ptのいずれかの金属を介して接合され、ゲート電極と第2のリードが1個のAuバンプを介して接合され、エミッタ電極と第3のリードが複数のAuバンプを介して接合され、ベース電極とエミッタ電極とコレクタ電極に接続された3本のリード端子がパッケージの一边から導出された構造を特徴とするフラット形状のトランジスタパッケージ。

【請求項7】 ベース（ゲート）電極とエミッタ（ソース）電極とコレクタ（ドレイン）電極が形成されたトランジスタチップと、外部と電氣的信号をやり取りするリード端子と、チップとリードフレームの一部を覆う封止樹脂から構成されるトランジスタパッケージの製造方法において、組立て部品として用いるリードフレームが、チップ搭載用のコレクタ電極用リード端子を複数形成した第1のリードフレームと、ベース電極用リード端子とエミッタ電極用リード端子の複数の対を形成した第2のリードフレームから成り、第1のリードフレームと第2のリードフレームの間にチップを挟み、各電極とリード端子を一括して金属接合して組み立てることを特徴とするトランジスタパッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、トランジスタパッケージの実装構造に係り、特に導通状態の電気抵抗を小さくしてパッケージ損失を低減することを目的としたチップ電極とリード端子の接合構造に関する。

【0002】

【従来の技術】 図12に、従来の低抵抗トランジスタパッケージの平面構造を示す。また、図13に図12のパッケージを組み立てるのに用いるリードフレームを示す。図12及び図13において、リード端子は、平面上に配置された第1のリード端子と、そのリード端子に隣接して配置された第2及び第3のリード端子から構成される。第1のリード端子には、裏面にメタライズによってコレクタ電極が形成されたチップが半田接合により搭載され、チップ表面のベース電極と第2のリード端子及びエミッタ電極と第3のリード端子とがワイヤボンディングによって接続されている。そして、各リード端子の一部を除いて全体が封止樹脂によって覆われた構造である。パッケージの封止樹脂からリード端子を取り出す構造は、図12の平面実装型パッケージでは相対する二辺から取り出す構造で、挿入型パッケージでは一边から3つのリード端子を取り出す構造であった。

【0003】 また図14(a)，(b)，(c)に、バンプ電極を用いてワイヤレス構造とした従来のトランジスタパッケージの構造（特開平9-129798号公報）を示す。図において、ダイパッド123aに半導体チップ1

21 がプリフォーム材 127 によって接着されている。チップ上のパンプ電極 122a, 122b とリード端子 124a, 125a は、半田 126 により電氣的に接続されている。リードを含むチップ周辺はエポキシ樹脂などによりモールドされ保護されている。そしてモールド樹脂 128 から配線基板に接続するためのリード 123, 124, 125 が導出されている。

【0004】

【発明が解決しようとする課題】従来の低抵抗トランジスタパッケージは、ベース電極及びエミッタ電極とリード端子間とがワイヤボンディングによって接続され、チップ裏面のコレクタ電極とリード端子とが半田で接合された構造であった。この形態のパッケージの導通時における電気抵抗 R は、チップ及びリード端子自身の電気抵抗 (R_{1chip} , R_{2lead}) に半田接合部の電気抵抗 ($R_{3solder}$) とワイヤ接続部の電気抵抗 (R_{4wire}) が加えられた値となる。このときのワイヤ接続部の電気抵抗は、ワイヤ自体の電気抵抗とワイヤ/A1パッド接合部の集中抵抗の和で表される。

【0005】従来は、チップ自身の電気抵抗が百数十〜数百 $m\Omega$ と大きく、ワイヤや半田部の実装抵抗が数〜数十 $m\Omega$ であったため、パッケージのオン抵抗はほぼデバイスのオン抵抗で占められ、実装抵抗が問題となることはなかった。

【0006】しかし、半導体技術は日々進歩しており、将来のデバイスのオン抵抗は Si デバイスでも現状の数分の 1〜十分の 1 程度、SiC デバイス等の他の半導体材料デバイスでは、現状の Si デバイスの数十〜数百分の 1 程度にまで低減されることが予想される。このときには、パッケージのオン抵抗に占める実装抵抗の比率が相対的に大きくなり、実装抵抗の低減が重要な課題になる。

【0007】実装抵抗の内ワイヤ部の抵抗を下げるには、ワイヤの径を大きくして断面積を増やすかワイヤ本数を多くすることが考えられる。しかし、ボンディング時にチップ電極周辺の機械的損傷を発生させないという理由から太線のワイヤを使うことができずワイヤの断面積を大きくできないこと、また、ワイヤをボンディングするエミッタ電極の大きさとパッケージ高さ及びエミッタ用リードの大きさの点でワイヤリングとボンディングエリアに制約があるためワイヤ本数を多くできないことの 2 つの理由によって、従来のワイヤボンディングを使うパッケージの実装構造ではワイヤ部の電気抵抗を小さくできないという問題があった。

【0008】一方、従来のワイヤレス構造のトランジスタパッケージでは、パンプ電極とリード端部を接合するために、半田が用いられていた。低融点金属を用いないで両者を接合するためには高い荷重と高温の加熱が必要であるが、パンプ電極に大きな力を加えると電極下の Si 基板あるいは絶縁層に機械的損傷を与えてしまうこ

と、加熱温度 300℃ 以上で Al 電極膜と Au パンプ間に Au-Al の脆い金属間化合物を形成してしまうため、従来の技術では、パンプ電極とリードを半田材無しでは接合できなかった。

【0009】しかし、半田による接合部は機械的強度が弱く、モールド工程における金型押さえやリードのフォーミング加工時にリードに加わる外力によって破損することがあった。また、信頼性においても、半田材の疲労寿命が短いことや比較的低い温度 (150℃ 以下) において容易に他の金属と脆い化合物を形成する性質が有るため、長期信頼性に問題があった。

【0010】本発明の目的は、トランジスタパッケージの各電極とリード端子間の電気抵抗を低減し、その結果、導通状態でのパッケージの電力損失を低減できるトランジスタパッケージの実装構造を提供すると同時に、低コストで長期信頼性の高い低損失のトランジスタパッケージを提供することである。

【0011】

【課題を解決するための手段】本発明において、上記目的を達成するために、ベース電極及びエミッタ電極とリード端子間の接続をワイヤボンディングではなくて、Au パンプを介して直接接合する構造とした。

【0012】トランジスタチップでは、チップの全面にわたってトランジスタ構成単位のセルが多数配置されており、デバイス内の損失を最小限にするには各セルに均等にエミッタ電流を供給することが必要である。エミッタ電極は Al 膜で構成されてほぼチップの全域にわたって形成されているが、リード端子からの電流供給位置が局所的だと Al 膜内で電流集中を生じて電気抵抗の増加につながる。

【0013】このため、チップへの電流供給源となるエミッタ電極とリード端子の接続位置は、エミッタ電極全域に均等に分散した複数個所とする必要がある。ワイヤボンディングでは、一本ずつ複数回ボンディングして必要数の接続個所を形成するが、Au パンプを介した直接接合では、リード端子を接合する際に複数の接合個所を一回の接合工程で接合しなければならず、技術的な難しさがあった。

【0014】すなわち、複数の Au パンプを 1 つのリード端子に全数十分な接合面積と強度を持たせて接合することの難しさである。その難しさの理由は、チップとダイパッドの接合材が生産性とコストの点で融点 300℃ 以下の Pb 系あるいは Sn 系の半田が使われていること、Au パンプと Al パッド接合部を 300℃ 以上の高温に加熱すると Al 側に脆い AuAl₃ の金属間化合物を形成して接合強度が低下すること、の 2 つの理由によって接合温度を 300℃ 以上に上げられないことにある。

【0015】従来の加圧のみによる接合技術では、300℃ 以下の低温条件下で高強度の接合部を得るには数十

分以上の接合時間が必要で、生産タクトの点で半導体パッケージなどの量産品に適用することが困難であった。

【0016】本発明においては、低温ボンディングの技術課題を克服するために、2つの改善を加えた。1つは、低温での接合性を向上するため、リード側の接合面を貴金属の膜面にすると同時にボンディング前に接合面をイオン照射あるいはスパッタクリーニング法によって清浄化し、さらに接合雰囲気中の水分濃度を低減した環境下でボンディングする方法を採用したことである。

【0017】我々は、接合雰囲気と表面の清浄度が接合結果に与える影響について基礎的に種々検討を重ねた結果、表面の清浄度と同様に雰囲気ガスの影響が大きいことを見出した。材料が酸化しないAu/Auの組合せや酸化雰囲気でも酸化膜が厚く成長しないAl/Auの組合せにおいて、その現象が顕著に確認されたのである。我々は、その理由が吸着している水分量にあることを突き止め、吸着水分の層がおよそ1分子オーダー程度以下であれば、AuボールバンプとAuやAl膜との接合が100℃の低温でさえ荷重50g/80μm径バンプの条件で加圧のみ接合できることを確認したのである。

【0018】2つ目は、超音波エネルギーを利用して低荷重条件下でAuバンプを圧壊し、チップに損傷を与えない条件で接合面積を増大する方法を採用したことである。超音波を利用して接合する方法は従来からワイヤボンディングやリードのシングルポイントボンディングなどに採用されているが、従来の超音波ボンディングでは周波数60や120kHzの周波数で振動振幅1~3μm程度の大きさの条件が採用されていた。

【0019】そのため、装置としても120kHzまでの装置しか無かった。我々は、170kHzの超音波ボンディング装置を開発し、振動振幅とボールの圧壊と接合強度の関係を調べた結果、0.5μm程度の振幅においても十分Auボールを変形させることが可能で十分な接合強度も得られることを確認したのである。

【0020】以上のような接合材料の最適化と表面清浄化と接合雰囲気の脱水分化と高周波超音波の採用によって、初めて本発明に示すトランジスタパッケージを組み立てることができたのである。

【0021】以上の手段により、エミッタ電極とリード端子を複数のAuバンプを介して直接接合した構造のトランジスタパッケージを実現でき、ワイヤレス化によって実装抵抗を大幅に低減し、低オン抵抗で低損失のトランジスタパッケージを提供でき、また、半田を使わずにAuバンプと貴金属の膜で直接接合しているため、界面の接合強度が高くかつ高温に保持しても脆い化合物を形成しないこと、さらに、Auバンプは変形しやすかつ疲労寿命が半田材に比べて長いこと理由によって長期信頼性の高いトランジスタパッケージを提供できるのである。

【0022】次に、本発明の第2の特徴は、エミッタ電

極上に形成するバンプの配置とサイズを工夫した点にある。従来のワイヤボンディングでは、ボンディング面積がワイヤの寸法により制約されており、電極面積の数十分の1以下の接合面積で接合されていた。電極のAl膜厚は、製造工程の制約から数μm程度に抑えられるため、ワイヤからAl電極膜に電流が供給されたときの接合界面近傍の集中抵抗、すなわち電極膜の通電断面積が小さいことによる抵抗増加が実装抵抗の1/2以上の比率を占めていた。この集中抵抗を小さくするためには、ワイヤ本数を増すか接合面積を大きくすることが必要だが、前述の理由により本数の増加は困難であり、接合面積を大きくすることもワイヤボンディング方式では実現困難であった。

【0023】これに対してAuバンプ方式では、電極上にAuボールを形成するだけなのでバンプ数の制約はボールボンディングのピッチと生産タクトだけの問題となり、ピッチの点ではバンプ数を49バンプ/mm²程度まで増すことが可能であり、接続点数の観点から従来に比べて1/10以下にまで集中抵抗を下げることも可能である。また生産タクトの点では、バンプ当たり0.1秒のボンディング速度が得られるため、全バンプに要する時間が1秒程度以下となり実用的な量産タクトで製造できる。

【0024】以上の手段によって、電極膜における集中抵抗を大幅に低減し、低オン抵抗で低損失のトランジスタパッケージを提供できるのである。

【0025】最後に、本発明の第3の特徴は、パッケージの組立てに用いるリードフレームをベース及びエミッタ電極用とコレクタ電極用に分割した点にある。パッケージの組立て工程では、汎用半導体部品の必須条件とも言える低コスト化を図るため、一つのリードフレームで複数のパッケージを同時に組立て可能であることが必要である。

【0026】このため本発明では、コレクタ電極用リード端子とトランジスタチップとベース及びエミッタ電極用リード端子とを積層して実装する構造とした。一つのリードフレームで組み立てる場合には、曲げ加工等の複雑な工程が入って生産コストの上昇が生じるが、本発明のように、チップ上部のリード端子を形成したリードフレームとチップ下部のリード端子を形成したリードフレームの2種を準備し、組立てにおいてはそれらを位置合わせして重ね合わせ、加熱と押し付け圧力と超音波振動を加えて多数個のトランジスタを同時に接合して組み立てる方法とすれば、曲げ加工等の複雑な工程を省略でき、複数チップを一回の接合工程で組立て可能となる。ただし、この方法を可能とするためには、予めコレクタ電極用のリード端子部に、相対位置がすべて同じになるように配置して複数のトランジスタチップを搭載しておく必要がある。

【0027】従来の半田付け法では、溶融半田上にチッ

ブが浮遊して正確な位置決めが困難であったため、本発明では、チップを供給する吸着治具で正確に位置決めし、そのまま加圧して接合する手段を採用した。接合の方法はいくつかの選択枝があるが、例えば、半田を使う場合は1リードフレーム分の複数チップを同時に供給し、加圧状態のまま半田が凝固するまで冷却して正確な位置に接合する方法や、接合面にAuやAgを形成して接合温度を250℃以上の高温に加熱し、加圧のみあるいは超音波を併用して固相状態で所定の位置に正確に接合する方法が適する。

【0028】以上の手段によって、ワイヤボンディングを使わないでトランジスタパッケージを高い生産性で組み立てることが可能となり、低コストで低抵抗のトランジスタパッケージを提供することが可能となる。また、リード端子をチップの上下に配置することが可能となるため、樹脂でモールドしたパッケージサイズをチップサイズ並に小さくすることができ、高密度実装に適する小型のトランジスタパッケージを提供することができるという利点もあるのである。

【0029】

【発明の実施の形態】以下、本発明の実施例を図面を用いて詳細に説明する。

【0030】図1に、本発明によるトランジスタパッケージ構造の一実施例を示す。図1(a), (b), (c)は、平面図と正面及び側面から見た断面図をそれぞれ示す。図において、トランジスタチップ1はコレクタリード5の一部であるダイパッド6に、半田15により接合されて搭載されている。チップ上面のエミッタ電極2とベース電極4には、ボールボンディング法によってAuボールパンパ14、4が形成されている。エミッタ電極上の複数のAuボールパンパ14の上には1個のエミッタリード8が加熱圧着あるいは加熱超音波圧着によって接合され、ベース電極上のAuボールパンパ4の上にはベースリード10が上記と同様に接合されている。エミッタリードとベースリードには、樹脂11でモールドされる部分にくびれ12、13が形成されている。また、Auパンパが接合される各リードのボンディング面には、部分的にAu, Ag, Pd, Ptのいずれかの金属膜がめっきにより形成されている。モールド樹脂から出たリード5, 7, 9は、成型加工によって配線基板に表面実装可能なガルウィング形状に成型されている。

【0031】本実施例によれば、従来のワイヤボンディング結線に変えて複数のAuパンパを介してエミッタ電極とリード間を接続しているため、接合面積及び導体断面積を数倍から数十倍に増大でき、さらに導体長さを数十分の1に短縮できるため、実装に伴う電気抵抗を数十～数百分の1以下に低減でき、導通状態でのパッケージの電力損失を大幅に低減できるのである。また、各リードのインナー接続部をチップ投影面内かほぼ同等寸法の面内に納めることができるため、樹脂モールドの外形状

法をチップと同等に近い寸法まで小さくすることが可能となり、小型パッケージを容易に実現することが可能となるのである。

【0032】図2(a), (b)は、図1のパッケージの組立て部品であるリードフレームの一構造例を示す。この例では、リードフレームを、コレクタリード5のみ形成したフレームとベースリード9とエミッタリード7を形成したフレームの2つに分けている。コレクタリードの一部であるチップ搭載用のダイパッド6には、チップと同サイズの部分Agめっき18が施され、ベース及びエミッタリードのパンパ接合面にも同様の部分Agめっき22, 23が施されている。

【0033】図3(a), (b), (c)は、図2のリードフレームを用いてパッケージに組み立てる接合工程とその構造を示す。トランジスタチップ1は、ダイパッド6のAgめっき面に高温半田15によって接合されている。半田接合工程では、チップ傾きが小さくなるように加圧して半田接合する方式を採用している。また、ダイパッドの大きさをチップと同等にして、ダイパッドに対するチップの相対位置が1つのリードフレーム内で全て同じになるように制御し、ベース・エミッタ用リードフレームを積層したときに各チップにおいてリード/電極間に位置ずれが生じないように工夫している。半田接合後、チップの各A1電極上にボールボンディング法によってAuボールパンパ4, 14を形成する。

【0034】ボンディング方法は、高温半田の融点より50℃以上低い温度(200～250℃程度)にワークを加熱して超音波ボンディングする方法である。ボールパンパ形成後、コレクタリードフレームの片側の外枠19を切断除去する。次に、ベース・エミッタリードフレームの片側外枠21を除去したものを、Agめっき面がAuパンパに対面する向きに位置合わせして重ね、加熱と超音波を加えて圧着する。1つのコレクタリードフレームには複数のチップが搭載されているが、ベース及びエミッタリードを接合する方式として、複数チップを同時に圧着接合しても良いし、1チップ単位で圧着接合することも可能である。接合工程が終了した時点では、断面図に示すようにトランジスタチップが2つのリードフレームで平行に挟まれた状態のものとなる。

【0035】本実施例によれば、リードフレームをチップ下用(コレクタリード)とチップ上用(ベース・エミッタリード)に分けているため、パンパに圧着接合する上側リードフレームを接合直前まで清浄に保つことができ、また電極に対する位置合わせを確実かつ容易に行うことができるため、接合工程の歩留りを大幅に向上することができる。また、Auパンパは小さい荷重で数十μm以上のつぶれ量を得ることが可能なため、チップ傾きや半田厚さにばらつきがある場合でも全てのパンパを確実にボンディングできるようになり、この点からも接合工程の歩留りを大幅に向上することができるのである。

【0036】さらには、ボールバンプとベース・エミッタリードの接合を1チップ分あるいは1フレーム分一括して行うため、従来のワイヤボンディング方式の組立て工程と比べてリードフレームの位置合わせと圧着工程が増すが生産タクトの点では両工程共にスループットがワイヤボンディング工程と同等にでき、生産性を従来と同等にできる。このため、パッケージの組立てコストを上げないで低抵抗かつ小型のトランジスタパッケージを提供できるのである。

【0037】図4は、樹脂モールドのための金型構造の一例を示す。コレクタリードの高さとベース・エミッタリードの高さが異なるため、下金型31と上金型30でリードを挟む位置に高さの差が生じる。この高さの差を吸収し、樹脂の流れ出しを防ぐ目的で、キャビティ32の側壁に勾配35を付けて密着性が上がるように工夫している。上金型を図の右下方向に押しつければ、キャビティ周辺の合わせ面34、35全てに圧縮荷重が加わり、気密封止が確実に行えるのである。パッケージから突き出るリードの位置には下金型にリードと同じ寸法の溝36a、36b、36cを形成している。樹脂を充填するキャビティは、図の奥行き方向に1リードフレーム分が配置されている。奥行き方向のキャビティは細い通路で繋がっており、樹脂の供給はこの通路を通して行っている。

【0038】図5(a)、(b)、(c)は、金型のキャビティ内に接合工程を終了したトランジスタ(図3の状態)をセットした状態の平面配置図と縦及び横断面図を示す。図において、接合工程終了後のリードフレームは前後方向に配置して金型にセットされ、複数のリードフレームが横方向に並べられている。樹脂が充填されるキャビティ32の隣はリードフレーム枠の逃げ空間33で、前後に貫通して外気と繋がる開放空間である。ボンディング完了後のリードフレームは、半田厚さやバンプ高さの違いによって上下のリードフレーム高さが変動する。その場合、モールド用の下金型にセットして上金型で押さえた場合、上下のリードフレーム間に応力が発生し、接合部を損傷する可能性がある。

【0039】本実施例では、キャビティ側のリード押さえ部にリードに食い込むナイフエッジを形成し、リードの上下方向の曲がり自由度を与え、かつ高さばらつきを吸収する構造としている。また、ベースリードとエミッタリードにくぼみをつけて弱い力で曲がる構造としている。

【0040】本実施例によれば、樹脂モールド時のリード押さえを金型に形成したナイフエッジ部で行っているため、リードの高さばらつきや傾きがある場合でも接合部に外力が加わらない状態でリードを押さえることができ、またリード成型加工時や取扱時に発生するコレクタリード/ベースリード/エミッタリード間の歪や応力をリードのくぼみ部で吸収できてバンプ接合部に加わる応

力を低減できるため、組立て工程におけるバンプ接合部の損傷がなく、接合部の信頼性を向上できるのである。

【0041】図6は、本発明のトランジスタパッケージを組み立てるためのリードフレームの他の実施例を示す。図において、コレクタリード40、41とベースリード44、45とエミッタリード42、43は1つのリードフレームに形成されているが、コレクタリードとベース及びエミッタリードは対向する別の枠に固定されている。パッケージ組立て時には短辺の枠を切断して、別々に取り扱えるようにしている。

【0042】本実施例によれば、リードフレーム製造工程では1個のリードフレームとして製造でき、パッケージ組立て時に分割して使用するため、2個のリードフレームとして別々に製造するよりリードフレームのコストを低減でき、トランジスタパッケージの製造原価を低減することができる。

【0043】図7及び図8は、本発明によるトランジスタパッケージの他の組立て構造とその組立てに用いるリードフレームを示す。図において、コレクタ電極用ダイ54上にトランジスタチップ50が半田によって接合され、チップ上のエミッタ電極51a、51bとエミッタリード接合部56がAuバンプ61を介して接合され、ベース電極52とベースリード接合部59がAuバンプを介して接合されている。ベースリードとエミッタリードは、リードフレームに加工された状態の位置60、57から曲げ加工されて各電極に位置合わせされている。トランジスタチップ全体はモールド樹脂62で覆われて保護され、各リード53、55、58が樹脂から突き出した構造となっている。

【0044】本実施例によれば、図1と同様に実装抵抗が小さく小型のトランジスタパッケージを提供することができる。さらに、チップ電極とのインナー接合部からアウター接合部までのリードの長さを長くできるため、パッケージから突き出したリードに外力が加わってもリード途中で変形してインナー接合部まで外力が伝わり難く、インナー接合部の信頼性を高くできる。

【0045】図9(a)、(b)は、本発明によるトランジスタパッケージの他の構造例を示す。図において、パッケージの内部構造は、図1と基本的に同様である。パッケージ75から突き出したアウターリード68、70、72が内側に折り曲げられ、パッケージの腹部に収納されている。

【0046】本実施例によれば、配線基板上に搭載したときのパッケージの占有面積をガルウィング型のパッケージに比べて小さくでき、高密度実装に適したパッケージを提供できる。

【0047】図10(a)、(b)、(c)は、本発明によるトランジスタパッケージの他の構造例を示す。図において、パッケージの内部構造は、図1と基本的に同様である。パッケージから取り出すリード80、82、8

4をすべて一辺に集めた構造としている。

【0048】本実施例によれば、パッケージ内のメイン電流が並行なリード配線を逆向きに流れるため、パッケージ内のインダクタンスを小さくでき、周波数特性に優れたトランジスタパッケージを提供できる。

【0049】図11(a), (b), (c)は、本発明によるトランジスタパッケージの他の構造例を示す。図において、パッケージの内部構造は、図1と基本的に同様である。パッケージから取り出すリード93, 95, 97をすべて一辺に集めた構造としている。

【0050】本実施例によれば、パッケージ内のメイン電流が並行なリード配線を逆向きに流れるため、パッケージ内のインダクタンスを小さくでき、周波数特性に優れたトランジスタパッケージを提供できる。また、チップを縦にした状態で配線基板に実装するため、チップサイズが大きくなった場合でも実装占有面積を小さくでき、高密度実装に適したパッケージを提供できる。

【0051】

【発明の効果】以上詳述したように本発明によれば、エミッタ電極に形成した複数のAuバンプを貴金属めっきしたリード端子に直接接合した構造としたことにより、従来のワイヤボンディング構造のトランジスタパッケージに比べて実装抵抗を大幅に低減し、また半田を使っていないため界面の接合強度が高くかつ高温信頼性と温度サイクル寿命に優れた高信頼性で低オン抵抗のトランジスタパッケージを提供できるのである。

【0052】また、上記Auバンプとリード端子の接合において、表面クリーニングと高周波超音波を採用したことにより、金属の接合性を高めて1つのリードフレーム分の複数のトランジスタを一括して歩留まり良く接合組立てできるため、生産コストを下げて低コストのパッケージを提供できるのである。

【図面の簡単な説明】

【図1】(a)と(b)及び(c)は本発明によるトランジスタパッケージの一構造例を示す正面図と同図。

(a)のA-A'線断面図及び同図(a)のB-B'線断面図。

【図2】(a)及び(b)は本発明によるパッケージ組立て用リードフレームの一実施例を示す側断面図。

【図3】(a)と(b)及び(c)は本発明によるパッケージ組立ての接合工程を示す上面側断面図と側断面図及び同図(b)のA-A'線断面図。

【図4】本発明によるパッケージ組立て用樹脂モールド金型の一構造例を示す側断面図。

【図5】(a)と(b)及び(c)は本発明によるパッケージ組立ての樹脂モールド工程を示す平面図と同図

(a)のA-A'線断面図及び同図(a)のB-B'線断面図。

【図6】本発明によるパッケージ組立て用リードフレームの他の一実施例を示す側断面図。

【図7】本発明によるトランジスタパッケージの他の構造例を示す説明図。

【図8】本発明によるパッケージ組立て用リードフレームの他の一実施例を示す側断面図。

【図9】(a)及び(b)は本発明によるトランジスタパッケージの他の構造例を示す上面図及び同図(a)のA-A'線断面図。

【図10】(a)と(b)及び(c)は本発明によるトランジスタパッケージの他の構造例を示す上面図と同図(a)のA-A'線断面図及び側面図。

【図11】(a)と(b)及び(c)は本発明によるトランジスタパッケージの他の構造例を示す正面図と同図(a)のA-A'線断面図及び底面図。

【図12】従来のワイヤボンディング方式のトランジスタパッケージ構造を示す図。

【図13】従来のリードフレームを示す側断面図。

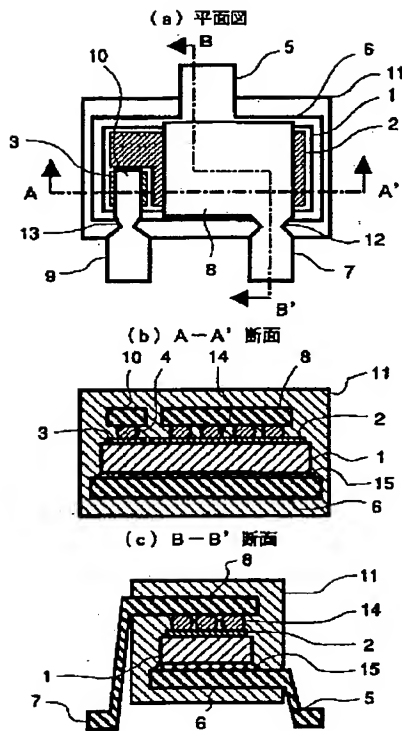
【図14】(a)及び(b)は従来のワイヤレス方式のトランジスタパッケージ構造を示す側断面図及び平面図。

【符号の説明】

1, 50, 65, 77, 90, 110, 121…トランジスタチップ、2, 51, 66, 78, 82, 83, 91, 95, 96, 111…エミッタ電極、3, 52, 67, 79, 84, 85, 92, 112…ベース電極、4, 14, 61, 74, 86, 99, 100…Auバンプ、5, 17, 40, 41, 53, 54, 68, 69, 93, 94, 123…コレクタリード、6…ダイパッド、7, 8, 42, 43, 55, 56, 70, 71, 115, 116, 124…エミッタリード、9, 10, 44, 45, 58, 59, 72, 73, 97, 98, 117, 118, 125…ベースリード、11…樹脂、12, 13…くびれ、15, 76, 126, 127…半田、16, 19, 21, 24, 38, 39, 63, 64…フレーム枠、18, 22, 23, 47, 48, 49…部分Agめっき、20, 25…位置決め孔、30…上金型、31…下金型、32…キャビティ、33…逃げ空間、34, 35…合わせ面、36…溝、37…リード押さえ部、57…加工前のエミッタリード位置、60…加工前のベースリード位置、62, 87, 101, 109, 128…モールド樹脂、75…パッケージ、80, 81, 113, 114…コレクタ電極、119…Auワイヤ、120…Auボール、122…バンプ電極。

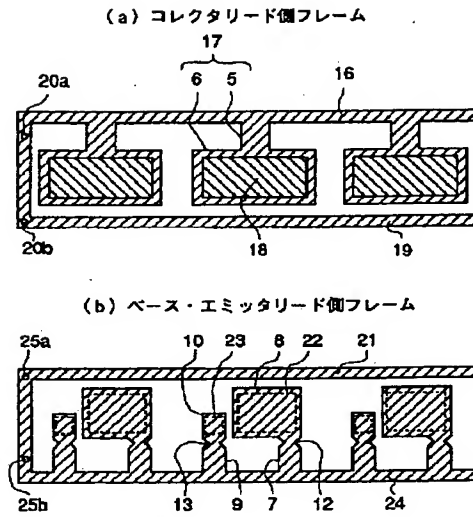
【図 1】

図 1



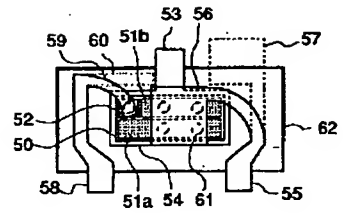
【図 2】

図 2



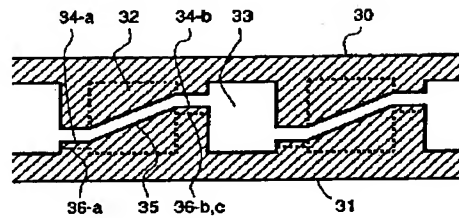
【図 7】

図 7



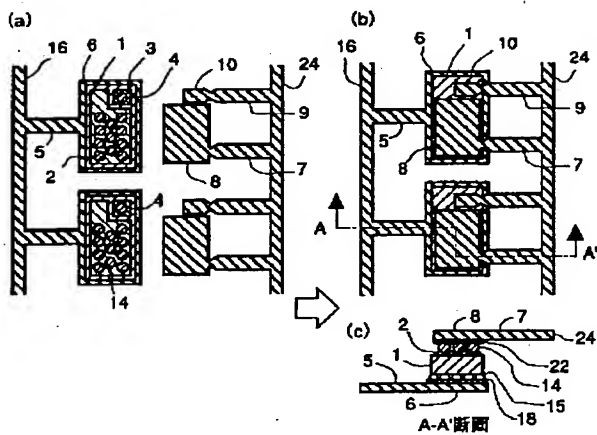
【図 4】

図 4



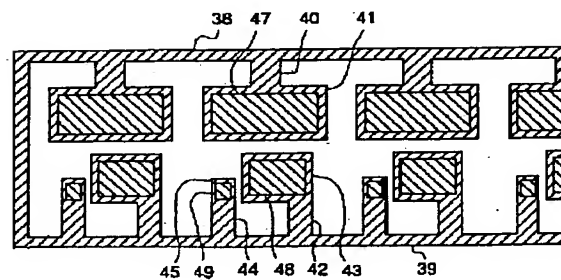
【図 3】

図 3



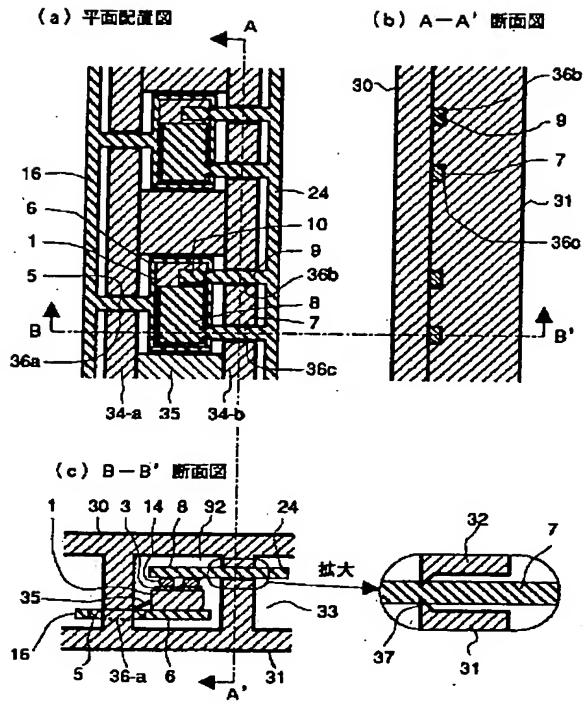
【図 6】

図 6



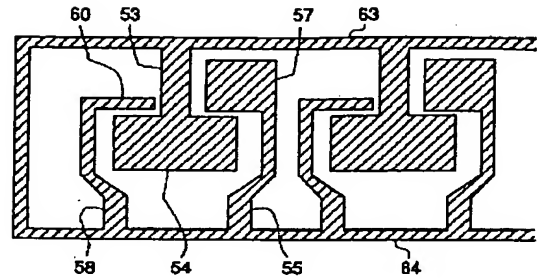
【図 5】

図 5



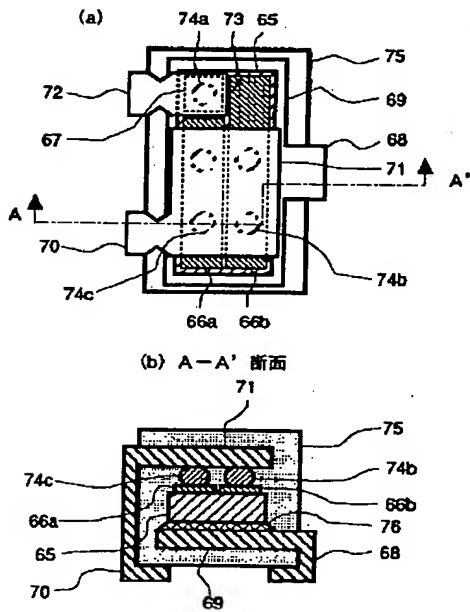
【図 8】

図 8



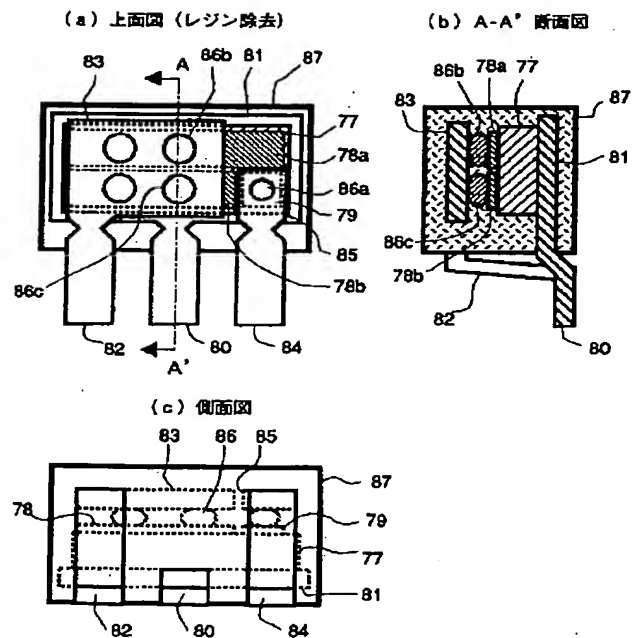
【図 9】

図 9



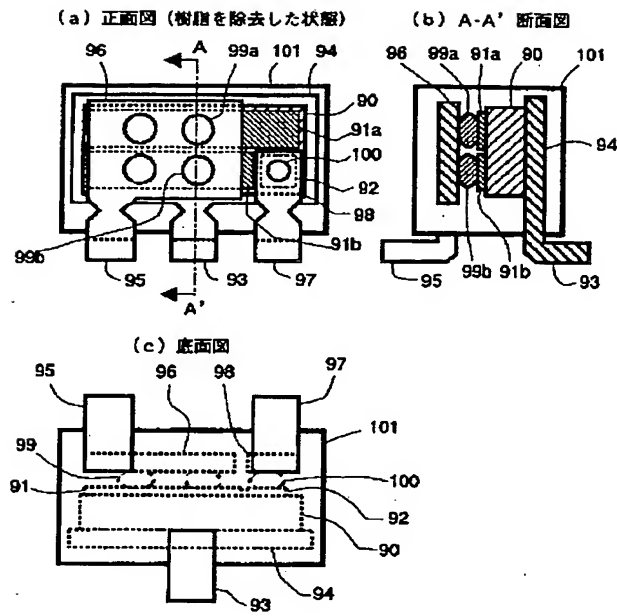
【図 10】

図 10



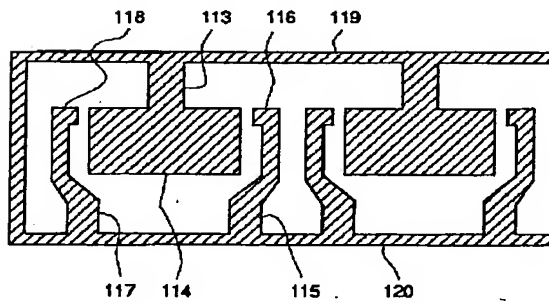
【図 1 1】

図 11



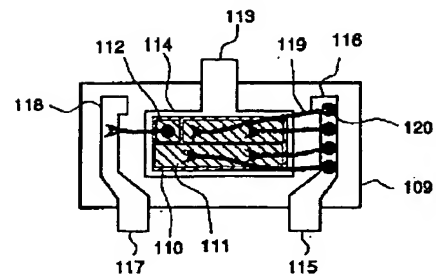
【図 1 3】

図 13



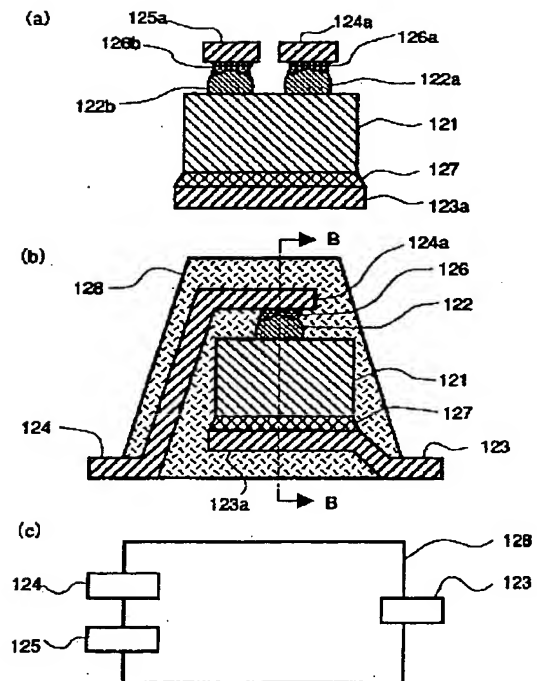
【図 1 2】

図 12



【図 1 4】

図 14



THIS PAGE BLANK (USPT:

フロントページの続き

(72)発明者 高橋 和弥

茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内